

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106324

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl.<sup>9</sup>

H 0 1 L 21/3205

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 88

B

審査請求 未請求 請求項の数1 O L (全 3 頁)

(21) 出願番号

特願平5-242835

(22) 出願日

平成5年(1993)9月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 五十嵐 弘 文

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

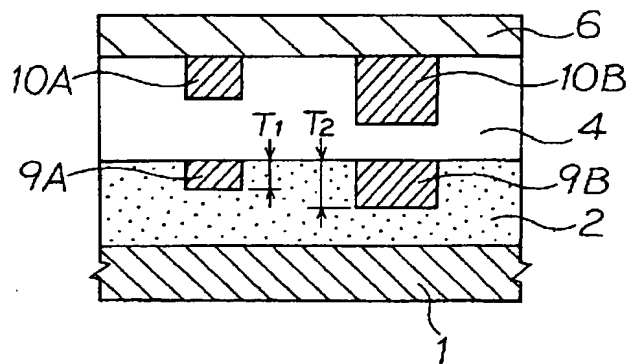
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 R C遅延の最適化が容易な半導体装置を得る。

【構成】 半導体素子の形成領域に、絶縁層を介して、単一または複数の配線層が形成された半導体装置において、同一の配線層の配線の上面を同一平面上に揃え、共に、少なくとも一本の配線の厚みを他と異ならせたものである。



1

## 【特許請求の範囲】

【請求項1】半導体素子の形成領域に、絶縁層を介して、単一または複数の配線層が形成された半導体装置において、同一の配線層の配線の上面を同一平面上に揃え、とくに、少なくとも一本の配線の厚みを他と異ならせたことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体素子の形成領域に、絶縁層を介して、単一または複数の配線層が形成された半導体装置に関する。

## 【0002】

【従来の技術】図3はこの種の従来の半導体装置の概略構成を示す断面図である。同図において、半導体基板1上に図示省略の多数の半導体素子が形成されている。これらの素子を覆うようにして、半導体基板1上に絶縁層2が所定の厚みで堆積され、この絶縁層2上に、厚みの等しい第1配線層3が形成されている。この第1配線層3は所定の厚みの金属膜をパターンニングすることによって形成される。また、第1配線層3上には絶縁層4が堆積され、その表面には第1配線層3と同様に第2配線層5が形成されている。そして、第2配線層5を保護膜6で覆うようになっている。

## 【0003】

【発明が解決しようとする課題】上述した半導体装置の配線層3および5は、それぞれ平坦な絶縁層表面に堆積させた金属膜のパターンニングによって形成されるため、配線層毎の厚みは等しい。従って、配線長が同じである場合に、RC遅延の最適化を図るには、配線間隔を変えるか、相間絶縁膜の厚みを変える以外に設計上の自由度がなく、このことがLSIの集積度向上の隘路となっていた。

【0004】本発明は上記の問題点を解決するためになされたもので、RC遅延の最適化が容易な半導体装置を得ることを目的とする。

## 【0005】

【課題を解決するための手段】本発明は、半導体素子の形成領域に、絶縁層を介して、単一または複数の配線層が形成された半導体装置において、同一の配線層の配線の上面を同一平面上に揃え、とくに、少なくとも一本の配線の厚みを他と異ならせたことを特徴としている。

## 【0006】

【作用】長さが一定の配線に対して、その幅を広げれば配線抵抗は減少する。しかし、一定の配線領域で線幅を広げれば隣接する配線の間隔が縮まって配線容量は増大する。一方、配線の幅を広げた場合、絶縁層が介在しているとはいえ、その下部の半導体基板間との間の容量増加が避けられない。

【0007】この発明においては、同一の配線層の配線の上面を同一平面上に揃え、隣接する配線間の容量が問

2

題になる場合には線幅を縮めて厚みを増大させたり、あるいは、半導体基板との容量よりも抵抗値が問題になる場合にはその厚みを増大させるというように、同一の配線層に厚みが他と異なる少なくとも一本の配線を含むようにする。これによって、RC遅延の最適化が容易となる。

## 【0008】

【実施例】以下、本発明を図面に示す実施例によって詳細に説明する。図1はこの発明の一実施例の構成を示す断面図である。この実施例は、2層の配線構造を有している。すなわち、半導体基板1に図示省略の多数の半導体素子が形成されており、この半導体素子の形成領域に絶縁層2が堆積され、この絶縁層2と上面を共通にして配線9A、9Bが埋設されている。また、絶縁層2上には絶縁層4が堆積され、この絶縁層4と上面を共通にして配線10A、10Bが埋設され、さらにその上に保護膜6が形成されている。ここで、配線9Aの厚み $T_1$ は配線9Bの厚み $T_2$ と比較して小さく、同様に、配線10Aの厚みは配線10Bの厚みと比較して小さくなっている。このように、配線の上面を絶縁層の上面と一致させて厚みを異ならせるようにすれば配線間容量を増やすことなく抵抗値を減少させたり、あるいは、その厚みを減少（半導体基板との距離を確保）させて半導体基板との間の容量を減少させたりすることができる。

【0009】この半導体装置の製造方法について、図2を参照して以下に説明する。まず、図2(a)に示すように、半導体基板1とその上に形成された図示省略の半導体素子を覆うように、CVD法（化学的気相蒸着法）等によって、絶縁層2を堆積させ、必要に応じて表面の平坦化処理を行う。続いて、絶縁層2上にレジスト膜7を塗布し、周知のリソグラフィ技術によりレジスト膜7を開口し、さらに、RIE（反応性イオンエッチング）により、配線9Aの厚みに対応させて深さ $T_1$ の配線溝2Aを形成する。そして、レジスト膜7を剥離する。次に、図2(b)に示すように、レジスト膜8を塗布し、リソグラフィ技術によりレジスト膜8を開口し、RIEにより、配線9Bの厚みに対応させて深さ $T_2$  ( $T_2 > T_1$ ) の配線溝2Bを形成する。そして、レジスト膜8を剥離する。次に、図2(c)に示すように、スパッタリング法等により、溝2A、2Bが完全に埋め込まれるようにAl合金等の配線金属9を堆積させる。次に、図2(d)に示すように、上面を研磨し、配線金属9が溝の部分のみに残るように平坦化する。このようにして、厚みの異なる配線9A、9Bを有する第1の配線層を形成することができる。

【0010】その後、図2(e)に示すように、CVD法を用いて絶縁層4を堆積し、以下、上述したと同様に、厚みの異なる配線10A、10Bを有する第2の配線層を形成し、最後に、保護膜6としてPSG（燐ガラス）あるいはSiN（窒化シリコン）等を堆積する。

3

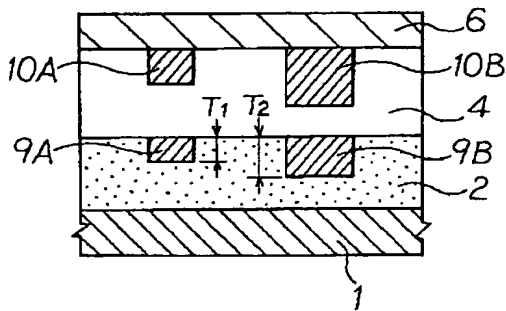
【0011】なお、上記実施例では図面及び説明の簡単化のために、同一配線層に2本の配線しか備えていないものについて説明したが、同一配線層に多数の配線を有する半導体装置でも、必要な本数だけその厚みを他と異ならせればよい。

【0012】また、上記実施例では、配線層が2層のものについて説明したが、本発明はこれに適用を限定されるものではなく、配線層が1層のみであっても、あるいは、3層以上であっても本発明を適用できることは明らかである。

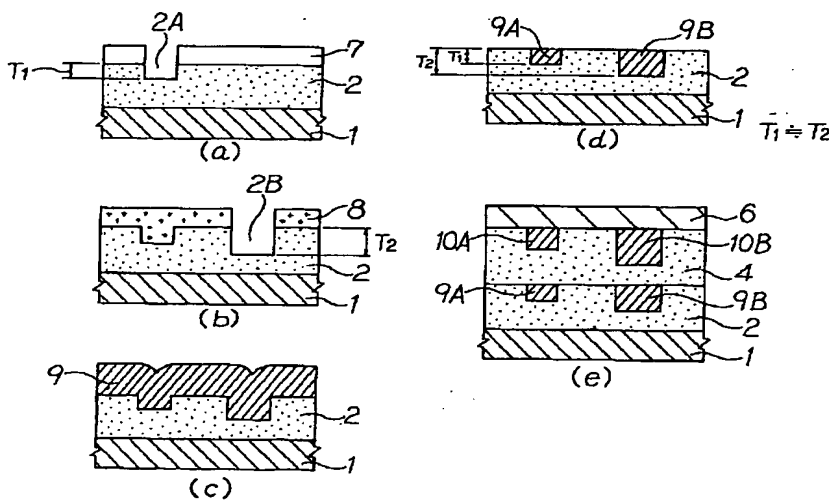
【0013】

【発明の効果】以上の説明によって明らかなように、本発明によれば、配線のRC遅延の最適化を容易に行なうことができ、LSIの集積度の向上にも寄与し得る。 \*

【図1】



【図2】



4

\* 【0014】また、本発明においては、同一の配線層の配線の上面を同一平面上に揃えているため、その厚みを変えたとしても上層に対する平坦性を保った装置が得られる。

【図面の簡単な説明】

【図1】 本発明の一実施例の構成を示す断面図。

【図2】 本発明の一実施例の製造工程を示す断面図。

【図3】 従来の半導体装置の構成を示す断面図。

【符号の説明】

10 半導体基板

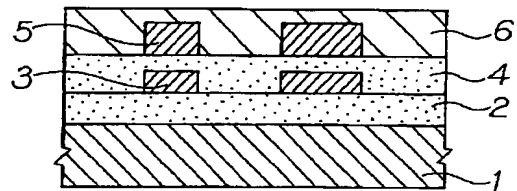
2, 4 絶縁層

6 保護膜

9A, 9B 第1配線層の配線

10A, 10B 第2配線層の配線

【図3】



**THIS PAGE BLANK (USPTO)**